

(19)  KOREAN INTELLECTUAL PROPERTY OFFICE

## KOREAN PATENT ABSTRACTS

(11)Publication number: 1020000027381 A  
(43)Date of publication of application: 15.05.2000

(21)Application number: 1019980045297  
(22)Date of filing: 28.10.1998

(71)Applicant: HYUNDAI ELECTRONICS  
IND. CO., LTD.  
(72)Inventor: CHOO, SIN HO  
HAN, JONG HUI

(51)Int. Cl. G11C 11/407

## (54) METHOD AND APPARATUS FOR CONTROLLING DATA STROBE SIGNAL IN DDR SDRAM

## (57) Abstract:

PURPOSE: A method and apparatus for controlling data strobe signal in DDR SDRAM is provided to accurately and stably set a pre-ambble section and a post-ambble section when driving a read operation of a DDR SDRAM by controlling a data strobe signal using two control signals.

CONSTITUTION: A data strobe signal control apparatus has a first control signal generating unit (220) for generating a first control signal (QS\_ENABLE), a second control signal generating unit (210) for generating a second control signal (QS\_PREAMBLE), and an initializing unit (230) for initializing the data strobe signal control apparatus (200) according to a power-up signal (pwrup). The second control signal generating unit (210) has transmission gates (211, 212, 213) for transmitting a suitable delayed output enable signal according to a signal (as latency) and inverters (214, 215, 216) for performing an output buffering.

COPYRIGHT 2000 KIPO

## Legal Status

Date of final disposal of an application (20010425)  
Patent registration number (1003037750000)  
Date of registration (20010713)

【한국공개특허 제2000-27381호(2000.05.15) 1부.】

특 2000-0027381

## (19) 대한민국특허청(KR)

## (12) 공개특허공보(A)

(51) Int. Cl.<sup>6</sup>

G11C 11/407

(11) 공개번호 특2000-0027381

(43) 공개일자 2000년05월15일

(21) 출원번호 10-1998-0045297

(22) 출원일자 1998년10월28일

(71) 발원인 현대전자산업 주식회사 김영환

(72) 발명자 경기도 이천시 부발읍 아미리 산 136-1  
한종희(74) 대리인 경기도 성남시 분당구 아람동 장미마을 807동 1304호  
추신호(74) 대리인 경기도 이천시 고당동 고당기숙사 102동 807호  
박해찬, 원석희

특허청구 : 없음

## (54) 디디알 메모리에서 데이터스트로브신호를 제어하기 위한 방법 및 장치

요약

DDR SDRAM의 읽기(Read) 구동시 데이터스트로브신호는 하이임피던스(hi-z) 상태를 유지한다. 데이터가 나오기 한 클럭 전에 프리엠플 구간을 가져다하고, 데이터와 데이터스트로브신호 간에 에지 트리거(edge trigger)가 이루어져야 하며, 마지막 데이터가 나올 때 반 클럭 동안 포스트엠플 구간을 가져다 하는데, 본 발명은 이러한 제반 요구사항을 충족시키기 위하여 데이터스트로브신호를 제어하는 방법 및 장치를 제공한다. 이를 위한 본 발명은 DDR SDRAM에서 프리엠플 및 포스트엠플 상태를 갖는 데이터스트로브신호를 제어하기 위한 방법에 있어서, 제1제어신호에 의해 데이터가 출력되는 구간과 프리엠플 구간 및 포스트엠플 구간과 각 구간을 마외의 구간에서 상기 데이터스트로브신호(DQS)를 하이임피던스(hi-z) 상태로 제어하고, 제2제어신호에 의해 상기 데이터스트로브신호의 상기 프리엠플 상태가 시작되는 시점을 제어하는 것을 특징으로 한다.

도면

도 1

도 2

도 3의 구성도 설명

도 1은 DDR SDRAM에서 데이터 읽기(Read)시 타이밍도,  
 도 2는 종래기술에 따른 데이터스트로브신호 제어방법을 나타내는 타이밍도,  
 도 3은 본 발명의 기술적 구성을 나타내는 블록 구성도,  
 도 4 및 도 5는 본 발명에 따른 데이터스트로브신호 제어방법을 나타내는 타이밍도,  
 도 6은 본 발명의 실시예에 따른 데이터스트로브신호 제어장치를 나타내는 회로도,  
 도 7은 도 6의 각 신호에 대한 타이밍도.

본 발명의 상세한 설명

본 발명의 목적

본 발명이 해결하고자 하는 과제를 설명

본 발명은 차세대 메모리소자인 DDR(double data rate) SDRAM(synchronous DRAM)에 관한 것으로, 특히 DDR SDRAM의 읽기(Read) 구동시 사용되는 데이터스트로브신호(data strobe signal)를 제어하는 방법 및 장치에 관한 것이다.

잘 알려진 바와 같이, 반도체메모리소자중 DRAM은 동작 속도 합성을 위하여 외부의 시스템 클럭에 동기되어 동작하는 싱크로너스 DRAM(이하, SDRAM)이 널리 사용되고 있다. 한편, 통상의 SDRAM은 클럭의 라이징(rising) 에지(edge)만을 사용하는 소자인데 반하여, DDR SDRAM은 클럭 라이징 및 폴링(falling) 에지를 모두 사용하기 때문에 더 빠른 동작 속도를 구현할 수 있어 차세대 DRAM으로서 크게 각광받고 있다. 한편, 데이터를 읽을 때 메모리 칩셋(chip set)에서의 각 칩들 간에 발생하는 타임 스큐(time skew)

특 2000-0027381

를 최소화하기 위해서 데이터스트로브신호를 사용하고 있다.

도1은 DDR SDRAM에서 데이터 읽기(Read)시 타이밍을 나타내는 것으로서, 도1에서는 'cas latency'(읽기 명령이 들어간 클럭의 시점으로부터 데이터가 나올 때 까지의 클럭수를 규정한 것)가 20이고, 'burst length'(연속하여 처리하는 데이터 수를 규정한 것)가 4인 경우에 대한 타이밍도이다. 도1에 도시된 바와 같이, DDR SDRAM은 읽기(Read) 동작시 데이터스트로브신호(DQS)가 인에이블되는 시점에 맞춰 라이징 에지 및 폴링 에지에서 모두 데이터와 나뉘어야 한다. 그런데, 클럭의 주기(cycle)가 8nsec 정도라면, 라이징 및 폴링 시의 시간(약 1nsec)과 그 밖의 스페셜 맞추기 위한 시간 등을 빼면 실질적으로 약 6nsec 이하의 시간동안 두 개의 데이터를 연속적으로 출력하여야 한다. 이를 위해서 데이터스트로브신호(DQS)는 하이임피던스(hi-z), '하이'와 '로우'의 중간레벨 상태를 유지한다. 데이터가 나오기 한 클럭 전에 미리 '로우' 상태를 가져야 하고(preamble), 데이터가 나올때는 그 애지에 데이터스트로브신호의 애지가 일치하여야 하며(edge trigger), 마지막 데이터가 나올 때 반클럭 동안 '로우'를 유지하여야 한다(postamble).

이러한 데이터스트로브신호의 프리앰블 구간과 포스트앰블 구간을 설정하기 위해서는 데이터스트로브신호를 제어하여야 하는데, 종래에는 하나의 제어신호를 사용하여 데이터스트로브신호를 제어하는 방식을 사용하고 있다.

도2는 종래기술에 따른 데이터스트로브신호 제어방법을 나타내는 타이밍도로서, 'cas latency'가 20이고 'burst length'가 2인 경우, 즉, 제1읽기명령어(RD1)가 발생된 후 두 클럭 후에 두 개의 데이터(DQ)가 연속적으로 나오는 경우이다. 도2에 도시된 바와같이, 종래에는 데이터스트로브 인에이블신호(QS\_ENABLE)로서 데이터스트로브신호(DQS)를 제어하였다. 그런데, 만약 제1읽기명령어(RD1)가 발생된 후 두 클럭 후에 제2읽기명령어(RD2)가 입력된다면, 데이터스트로브신호(DQS)의 포스트앰블 구간(도면의 A)과 프리앰블 구간(도면의 B)은 연이어지게 되는데, 이때, 데이터스트로브 인에이블신호(QS\_ENABLE)는 반드시 '로우'로 인에이블되어야 '하이'로 출력하는 구간(도면의 C)이 있어야 하는데 만약 이 구간이 너무 작아 상승에지를 인식하지 못하면, 프리앰블 구간(B)은 없어질 것이다. 이것을 극복하려면 데이터스트로브 인에이블신호(QS\_ENABLE)가 '하이'에서 '로우'로 비활성화되는 시점을 빠르게 하든지 아니면 '로우'에서 '하이'로 활성화되는 시점을 느리게 하면 되는데, 전자의 경우는 포스트앰블 구간(b)에 영향을 주고, 후자의 경우는 프리앰블 구간(a)에 영향을 준다.

이렇듯, 하나의 제어신호로서 데이터스트로브신호를 제어하는 방법은, 데이터스트로브신호의 정확한 프리앰블 또는 포스트앰블 구간을 설정하기 어렵고, 이에 의해 정확한 데이터 읽기가 어렵다는 문제점이 있다.

#### 본 발명의 목적과 특징은 다음과 같다

앞서 설명한 바와같이, DDR SDRAM의 읽기(Read) 구동시 데이터스트로브신호는 하이임피던스(hi-z) 상태를 유지한다. 데이터가 나오기 한 클럭 전에 프리앰블 구간을 가져야 하고, 데이터와 데이터스트로브신호 간에 애지 트리거(edge trigger)가 이루어져야 하며, 마지막 데이터가 나올 때 반클럭 동안 포스트앰블 구간을 가져야 하는데, 본 발명은 이러한 제반 요구사항을 충족시키기 위하여 데이터스트로브신호를 제어하는 방법 및 장치를 제공한다. 그 특징이 있다.

#### 본 발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명은, DDR SDRAM에서 프리앰블 및 포스트앰블 상태를 갖는 데이터스트로브신호를 제어하기 위한 방법에 있어서, 제1제어신호에 의해 데이터가 출력되는 구간과 프리앰블 구간 및 포스트앰블 구간의 각 구간을 이외의 구간에서 상기 데이터스트로브신호(DQS)를 하이임피던스(hi-z) 상태로 제어하고, 제2제어신호에 의해 상기 데이터스트로브신호의 상기 프리앰블 상태가 시작되는 시점을 제어하는 것을 특징으로 한다.

또한 본 발명은, DDR SDRAM의 데이터스트로브신호 제어장치에 있어서, 다수의 'cas latency'정보와 다수의 클럭인에이블신호를 입력받아, 읽기명령어가 활성화된 시점부터, 'cas latency'값보다 한클럭 적은 클럭수만큼 지연된, 클럭인에이블신호를 선택하여 제2제어신호로서 출력하는 제2제어신호발생수단; 상기 선택된 클럭인에이블신호가 활성화되면, 활성화된 제1제어신호를 출력하고, 상기 제2제어신호가 비활성화되어 있는 동안 'cas latency'정보에 따라 선택된 클럭의 라이징 또는 폴링 지연고정클럭신호에 제어받아 비활성화된 제1제어신호를 출력하는 제1제어신호발생수단; 및 상기 제1제어신호를 초기화시키기 위한 초기화수단을 포함하여 이루어진 것을 특징으로 한다.

이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부된 도면을 참조하여 설명하기로 한다.

도3은 본 발명의 기술적 구성을 나타내는 블록 구성도로서, 도3에 도시된 바와같이, 본 발명에 따른 데이터스트로브신호 제어장치(200)는 'cas latency'신호 c1과, 클럭인에이블신호 oef 및 클럭신호 clk를 입력받아(100), 데이터스트로브신호드라이버(300)를 제어하기 위한 제어신호로서 제1제어신호 QS\_ENABLE와 제2제어신호 QS\_PREAMBLE 신호를 발생시키고 있다.

도4는 본 발명에 따른 데이터스트로브신호 제어방법을 나타내는 타이밍도로서, 'cas latency'가 20이고 'burst length'가 2인 경우이고, 제1읽기명령어(RD1)가 발생된 후 3클럭 후에 제2읽기명령어(RD2)가 입력되는 경우이다. 도4에 도시된 바와같이, 제2제어신호 QS\_PREAMBLE는 데이터스트로브신호(DQS)의 프리앰블 상태가 시작되는 시점을 제어하는데, 제2제어신호 QS\_PREAMBLE가 논리 '로우'에서 논리 '하이'로 천이할 때 데이터스트로브신호(DQS)가 프리앰블 상태를 시작한다.

제1제어신호 QS\_ENABLE는 데이터가 출력되는 구간과 프리앰블 구간 및 포스트앰블 구간의 각 구간을 이외의 구간에서 상기 데이터스트로브신호(DQS)를 하이임피던스(hi-z) 상태로 제어하는바, 제1제어신호 QS\_ENABLE가 논리 '로우'일 때 상기 데이터스트로브신호는 고임피던스(hi-z) 레벨을 가진다.

특 2000-0027381

도5는 'cas latency'가 20이고 'burst length'가 2인 경우 그리고 제1읽기명령어(RD1)가 발생된 후 2클럭 후에 제2읽기명령어(RD2)가 입력되는 경우에, 본 발명에 따라 데이터스트로브신호가 제어되는 상태를 나타낸다. 이때에는 데이터스트로브신호(QDS)의 포스트앰플 구간(도면의 A)과 프리앰플구간(도면의 B)은 연이어지게 되나, 이때 데이터스트로브신호(QDS)의 프리앰플구간(도면의 B) 시작은 제1제어신호 QS\_ENABLE의 상승에 의해 제어받는 것이 아니라, 제2제어신호 QS\_PREAMBLE의 상승에 의해 제어받기 때문에 프리앰플 구간(B)이 정확히 설정되게 된다.

도6은 본 발명의 실시시에 따라 데이터스트로브신호 제어장치(200)를 나타내는 회로도이고, 도7은 'cas latency'가 2인 경우에 이에 따른 각 신호의 파형을 나타내는 타이밍도이다. 도6을 참조하면, 본 발명의 실시시에 따라 데이터스트로브신호 제어장치(200)는, 제1제어신호 QS\_ENABLE를 발생시키는 제1제어신호 발생부(220)와 제2제어신호 QS\_PREAMBLE를 발생시키는 제2제어신호발생부(210), 및 파워업신호(pwrup)에 의해 데이터스트로브신호 제어장치(200)를 초기화시키는 초기화부(230)로 구성된다.

구체적으로, 도6과 도7을 참조하면, 제2제어신호발생부(210)는 'cas latency'가 1.5임(읽기명령어 발생된 후 1.5 클럭 후에 데이터가 출력됨)을 알리는 신호 cl\_1.501을 발생하면, 읽기명령어가 발생된 시점부터 반클럭 만큼 지연된 출력인에이불신호 oa\_0.5를 제2제어신호 QS\_PREAMBLE로서 출력하고, 'cas latency'가 2임(읽기명령어 발생된 후 2클럭 후에 데이터가 출력됨)을 알리는 신호 cl\_2.001을 발생하면, 읽기명령어가 발생된 시점부터 한클럭만큼 지연된 출력인에이불신호 oa\_1.0을 제2제어신호 QS\_PREAMBLE로서 출력하며, 'cas latency'가 2.5임(읽기명령어 발생된 후 2.5 클럭 후에 데이터가 출력됨)을 알리는 신호 cl\_2.5를 발생하면, 읽기명령어가 발생된 시점부터 1.5클럭만큼 지연된 출력인에이불신호 oa\_1.5를 제2제어신호 QS\_PREAMBLE로서 출력하도록 구성되어 있다. 즉, 제2제어신호발생부(210)는 다수의 'cas latency'정보(cl\_1.5, cl\_2.0, cl\_1.5)와 다수의 출력인에이불신호(oa\_0.5, oa\_1.0, oa\_1.5)를 입력받아, 읽기명령어(RD)가 발생된 시점부터, 'cas latency'값보다 한 클럭 적은 클럭수만큼 지연된, 출력인에이불신호를 제2제어신호 QS\_PREAMBLE로서 출력한다. 본 실시예에서는 도면에 도시된 바와같이, 제2제어신호발생부(210)를 구성함에 있어 'cas latency'에 따라 적절히 지연된 출력인에이불신호를 전달하기 위하여, 앤모스트랜지스터와 피모스트랜지스터상으로 이루어진 전달게이트(211, 212, 213)를 사용하였으며, 출력버퍼를 위해 인버터들(214, 215, 216)을 사용하였다.

제1제어신호발생부(220)는 'cas latency'정보에 따라 선택된 출력인에이불신호가 '하이'로 발생되면 제1제어신호 QS\_ENABLE가 '하이'로 발생되고, 제2제어신호 QS\_PREAMBLE가 '로우'로 비발생되어 있는 동안 제어신호 rcik\_d11 또는 fcik\_d11가 '하이'로 발생되면 제1제어신호 QS\_ENABLE가 '로우'로 비발생되도록 구성되어 있다. 제어신호 rcik\_d11은 메인 클럭(CLK)의 라이징 에지에서 펄스를 갖는 라이징을 띤 지연과정루프신호이며, 제어신호 fcik\_d11은 메인 클럭(CLK)의 폴링 에지에서 펄스를 갖는 폴링을 띤 지연과정루프신호이다. 더 구체적으로 설명하면, 제1제어신호 QS\_ENABLE를 출력하는 낸드게이트(221)(직렬 연결된 두 개가 인버터(222, 223)를 무시하고 설명한다)는 신호 oab를 입력력으로 하기 때문에, 신호 oab가 '로우'를 유지하면 무조건 제1제어신호 QS\_ENABLE를 '하이'로 유지한다. 즉, 신호 oab는 인버터(214)에 의해, 'cas latency'정보에 따라 선택된 출력인에이불신호의 반전된 신호이기 때문에, 'cas latency'정보에 따라 선택된 출력인에이불신호가 '하이'로 발생되면 제1제어신호 QS\_ENABLE가 '하이'로 발생된다. 한편, 낸드게이트(221)는 전달게이트(224)를 통해 제2제어신호 QS\_PREAMBLE의 반전된 신호를 타입력으로 입력하며, 전달게이트(224)는 'cas latency'정보에 따라 선택된 제어신호 rcik\_d11 또는 fcik\_d11을 게이트 입력력으로 하기 때문에, 신호 oab가 '하이'를 유지하고 제2제어신호 QS\_PREAMBLE가 '로우'를 유지할 때 제어신호 rcik\_d11 또는 fcik\_d11가 '하이'로 발생되면, 제1제어신호 QS\_ENABLE가 '로우'로 비발생된다. 본 실시예에서는 전달게이트(224)의 게이트를 제어하는 제어신호 rcik\_d11 또는 fcik\_d11을 선택함에 있어, 'cas latency'신호 cl2가 '하이'이면 제어신호 rcik\_d11이 전달게이트(224)의 게이트를 제어하고, 'cas latency'신호 cl2가 '로우'이면 제어신호 fcik\_d11이 전달게이트(224)의 게이트를 제어하도록, 3개의 낸드게이트로 실시 구성되어 있다.

초기화부(230)는 낸드게이트(221)의 타입력단을 초기화시키도록, 파워업신호(pwrup)를 입력력으로 하고 전달게이트(224)를 통해 전달된 제2제어신호 QS\_PREAMBLE를 타입력으로 하는 낸드게이트 및 리치로 실시 구성되어 있다.

본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

#### 실시예의 효과

이상에서 설명한 바와같이, 본 발명은 두 개의 제어신호를 사용하여 데이터스트로브신호를 제어하도록 함으로써, DDR SDRAM의 읽기(Read) 구동시 데이터스트로브신호가 가져야하는 프리앰플 구간과 포스트앰플 구간을 정확히 그리고 안정적으로 설정할 수 있기 때문에, 데이터 출력을 안정적으로 구동할 수 있다.

#### (5) 청구의 범위

청구항 1. DDR SDRAM에서 프리앰플 및 포스트앰플 상태를 갖는 데이터스트로브신호를 제어하기 위한 방법에 있어서,

제1제어신호에 의해 데이터가 출력되는 구간과 프리앰플 구간 및 포스트앰플 구간의 각 구간을 미외의 구간에서 상기 데이터스트로브신호(QDS)를 하이임피던스(hi-z) 상태로 제어하고,

제2제어신호에 의해 상기 데이터스트로브신호의 상기 프리앰플 상태가 시작되는 시점을 제어하는 것을 특징으로 하는 데이터스트로브신호 제어방법.

청구항 2. 제1항에 있어서,

상기 제1제어신호가 논리 '로우'일 때 상기 데이터스트로브신호는 고임피던스(hi-z) 레벨을 가지며, 상기

록 2000-0027361

제2제어신호가 논리 '로우'에서 논리 '하이'로 천이할 때, 상기 데이터스트로브신호가 프리앰플상태를 시작하도록 제어하는 것을 특징으로 하는 데이터스트로브신호 제어방법.

청구항 3. DDR SDRAM의 데이터스트로브신호 제어장치에 있어서,

다수의 'cas latency'정보와 다수의 출력인에이블신호를 입력받아, 읽기명령어가 활성화된 시점부터, 'cas latency'값보다 한클럭 적은 출력수만큼 지연된, 출력인에이블신호를 선택하여 제2제어신호로서 출력하는 제2제어신호발생수단;

상기 선택된 출력인에이블신호가 활성화되면, 활성화된 제1제어신호를 출력하고, 상기 제2제어신호가 비활성화되어 있는 동안 'cas latency'정보에 따라 선택된 클럭의 라이징 또는 폴링 지연고정루프신호에 제어받아 비활성화된 제1제어신호를 출력하는 제1제어신호발생수단; 및

상기 제1제어신호를 초기화시키기 위한 초기화수단

를 포함하여 이루어진 데이터스트로브신호 제어장치.

청구항 4. 제3항에 있어서,

상기 제2제어신호발생수단은, 'cas latency'정보를 게이트 제어받아 출력인에이블신호를 전달하는 제1전달게이트; 및

상기 제1전달게이트로부터의 출력을 버퍼링하기 위한 복수개의 직렬연결된 인버터

를 포함하여 이루어진 것을 특징으로 하는 데이터스트로브신호 제어장치.

청구항 5. 제4항에 있어서,

상기 제1제어신호발생수단은,

'cas latency'에 따라 선택된 라이징클럭지연고정루프신호 또는 폴링클럭지연고정루프신호를 게이트 제어받아 상기 제2제어신호를 전달하는 제2전달게이트;

상기 제1전달게이트의 통해 출력된 출력인에이블신호의 반전된 신호를 임입력으로 하고, 상기 제2전달게이트를 통해 전달된 신호의 반전된 신호를 타입력으로 하는 제1반드게이트

를 포함하여 이루어진 것을 특징으로 하는 데이터스트로브신호 제어장치.

청구항 6. 제5항에 있어서,

초기화수단은 상기 제1반드게이트의 타입력단을 초기화시켜도록, 파워업신호를 임입력으로 하고 상기 제2전달게이트를 통해 전달된 신호를 타입력으로 하는 제2반드게이트;

상기 제2전달게이트의 출력노드를 래치시키는 래치

를 포함하여 이루어진 것을 특징으로 하는 데이터스트로브신호 제어장치.

도면

2000-0027381

Fig. 1

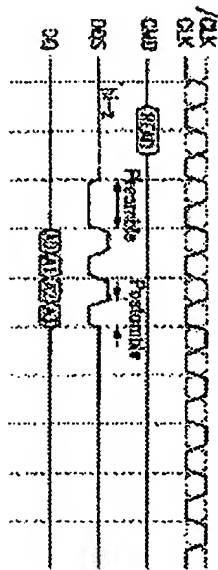
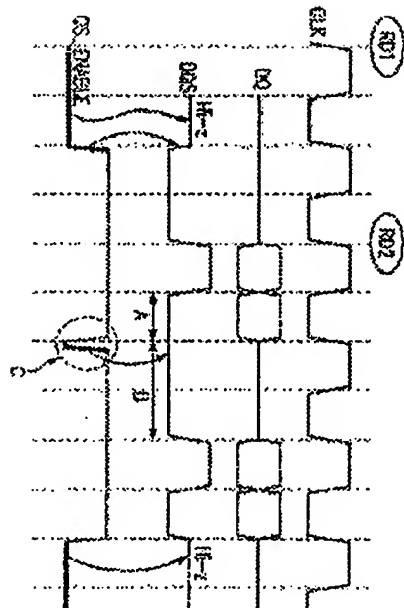


Fig. 2



2000-0027381

FIG. 12

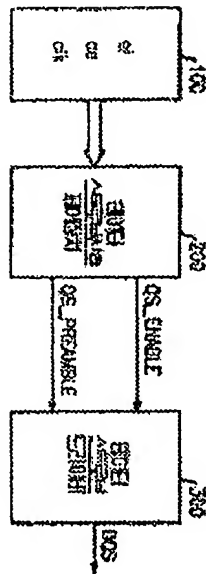
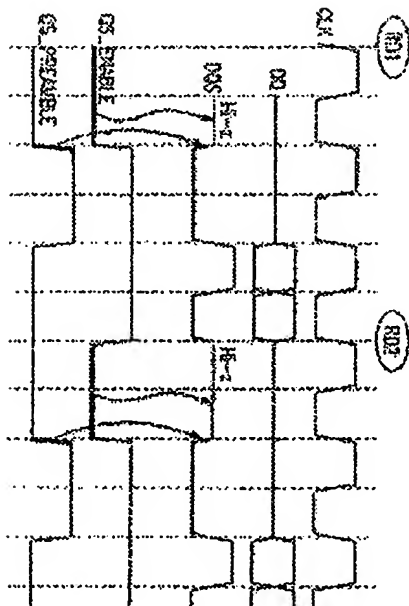
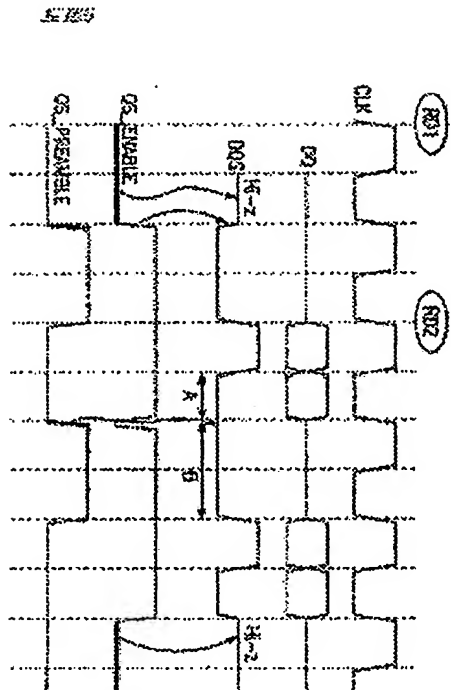


FIG. 13

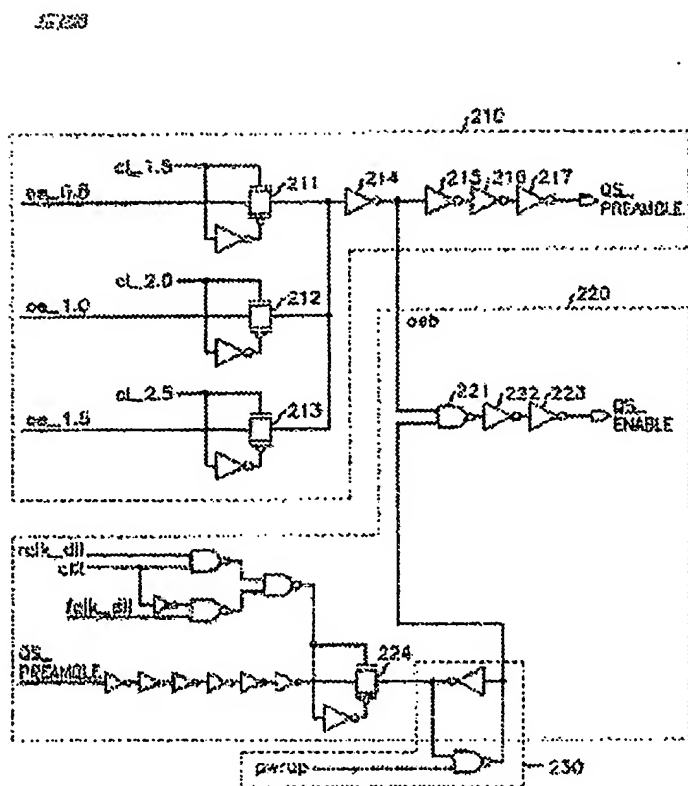


2000-0027381





2000-0027381



2000-0027381

